

실리콘 카바이드의 단락 견딜 시간 확장에 대한 연구 - 파트 2 : 두 레벨 턴오프 단락 시험

팔란디아판 디니쉬¹, 마국위¹, 김 사이먼²
인피니언 테크놀로지스 ¹ 싱가포르, ²대한민국

The study of SiC MOSFET short circuit withstanding time extension Part 2: short circuit performance under two level turn off

Dinesh Palaniappan¹, Kwok Wai Ma¹ & Simon Kim²
Infineon Technologies ¹ Singapore & ²South Korea

ABSTRACT

산업용 모터 드라이브 애플리케이션의 단락 견딜 시간 요구 사항은 $R_{DS(ON)}$ 성능을 저하시키지 않으면서 상용 실리콘 카바이드 (SiC) MOSFET에 대해 충족하기 어려운 경우가 많다. 본 논문에서는 SiC MOSFET의 단락 에너지 상승을 늦추고 단락 견딜 시간을 연장하기 위해 두 레벨 턴오프 메커니즘을 사용할 것을 제안한다. 서로 다른 게이트 전압과 DC 링크 전압에서 SiC MOSFET의 이러한 고유 시간은 주요 두 레벨 턴오프 매개변수를 선택하기 위한 기초인 파괴 테스트를 통해 먼저 특성화된다. 두 레벨 턴오프 기능을 갖춘 디세추레이션 (Desaturation) 감지용 디지털 게이트 드라이버 IC를 사용하여 다양한 단락 임피던스에서 단락 저항 시간을 10 μ s 이상으로 확장하는 것이 입증되었다.

1. 서론

$R_{DS(ON)}$ 를 희생하지 않고 SiC MOSFET의 t_{sc} 를 확장하면 강력한 오류 보호가 필요한 산업용 전력 애플리케이션에서 SiC MOSFET을 사용할 수 있다. 본 논문에서는 $R_{DS(ON)}$ 을 손상시키지 않으면서 SiC 전력 MOSFET의 t_{sc} 를 확장하는 응용 기술을 제안한다. 제안된 개념은 최신 디지털 게이트 드라이버 IC에서 사용할 수 있는 구성 가능한 두 레벨 턴오프 게이트 드라이브 기능과 함께 구성 가능한 디세추레이션 (Desaturation) 단락 보호를 활용한다. 다음 섹션에서는 작동 원리, 주요 매개변수 선택, 하드웨어 설정 및 측정 결과에 대해 설명한다.

2. 두 레벨 턴오프(TLTO)

2.1 두 레벨 턴오프 (TLTO) 개념

Si IGBT 및 SiC MOSFET과 같은 전력 반도체에서 과전류 및 단락 오류가 발생하는 동안 전원이 꺼질 때 전압 오버슈트 및 심각한 게이트 진동이 매우 일반적이다. 이는 정류 루프 인덕턴스와 함께 매우 높은 음의 턴오프 전류 기울기 때문이다. 안전한 작동을 위해 피크 오버슈트(peak overshoot) 전압을 전원 스위치의 최대 전압 제한 내로 유지해야 하므로 이는 설계자에게 어려운 과제이다. 이는 매우 높은 di/dt 값을 갖는 고유한 고속 스위칭 기능으로

인해 SiC MOSFET과 같은 넓은 밴드갭 장치에서 더욱 중요하다. DC 링크 전압을 낮추거나 그에 따라 꺼짐 속도를 줄여야 할 수도 있다. 과전류 및 단락 회로(short circuit) 발생 시 이러한 전압 오버슈트를 억제하기 위해 두 레벨 턴오프 (TLTO) 개념이 널리 사용된다. 이는 시중에서 판매되는 많은 게이트 드라이버 IC에서 잘 알려진 기능이다. 이러한 오류 끄기 조건에서 TLTO를 사용하면 턴오프 게이트 전압으로 직접 내려가는 대신 게이트 전압이 감소되어 원하는 기간 동안 중간 수준(일반적으로 9~12V 범위)으로 유지된다. 최종 종료를 시작하기 전에 중간 게이트 전압은 최종 전원이 꺼지기 전에 오류 전류를 줄여 전압 오버슈트(over shoot)와 오실레이션(oscillation)을 줄인다[1-3]. 본 논문에서는 SiC MOSFET의 단락 견딜 성능을 증진시키기 위해 TLTO의 새로운 접근 방법을 제안한다. SiC MOSFET의 경우 포화 전류는 턴오프 게이트 전압에 의해 직접 제어되는 반면, 단락 견딜 성능은 단락 이벤트 중 포화 전류와 차단 전압(blocking voltage)의 시간 적분인 단락 에너지에 의해 결정된다. SiC MOSFET 단락 회로동안 TLTO 작동을 통해 게이트 전압은 정상 작동 게이트 전압보다 낮지만 여전히 게이트 임계값 전압 (V_{TH})보다 높은 중간 수준으로 유지된다. 단락 사고 전류는 원래의 피크 전류 크기보다 상당히 낮아져 순간 전력 손실은 물론 장치 내 단락 에너지 E_{sc} 의 상승률도 감소한다. SiC MOSFET에 TLTO 단락 보호 체계가 적용되면 정상 작동 중에 높은 게이트 전압 $V_{GS,H}$ 가 사용되어 최상의 전도 성능을 위해 낮은 $R_{DS(ON)}$ 을 제공한다. 단락이 발생하면 게이트 전압은 t_H 기간 동안 $V_{GS,H}$ 로 유지된다. 그 후, 게이트 전압은 단락 전류를 줄이기 위해 $V_{GS,H}$ 보다 낮은 중간값 $V_{GS,L}$ 로 감소하고 최종 섯다운 전 기간 t_L 동안 이 수준을 유지한다. TLTO의 새로운 단락 저항 시간은 이제 $t_H + t_L$ 이 된다. 게이트 전압이 감소하면 단락 에너지(E_{sc})의 상승률이 낮아지므로 $t_H + t_L$ 은 $V_{GS,H}$ 에 지정된 t_{sc} 값보다 길어진다. 따라서 이 구현을 통해 전도 손실 성능을 저하시키지 않고 t_{sc} 를 확장할 수 있다.

2.2 두 레벨 턴오프 (TLTO)에 의한 단락 시간 견딜 증진

이제 TLTO 보호를 위한 1ED3890MC12M 디지털 드라이버 IC의 주요 매개변수를 특정 애플리케이션 요구 사항에 따라 설정할 수 있다. DC 링크 전압 800V 에서 각각 18V 와 10V의 일반적인 작동 조건으로 V_{DC} , $V_{GS,H}$ 및 $V_{GS,L}$ 을 선택하고 매개변수 t_H (단락 시작 시 정상 게이트 전압

$V_{GS,H}$ 에서 실험 중인 장치(DUT, device under test) 작동 시간 및 t_L 를 선택한다. 완전 섷타운 전 낮은 게이트 전압 $V_{GS,L}$ 에서의 DUT 작동 기간은 그림 1에 표시된 것처럼 각각 $V_{GS,H}$ 및 $V_{GS,L}$ 의 게이트 전압을 사용하여 t_H 및 t_L 동안 소비된 E_{SC} 를 기반으로 결정될 수 있다. 매개변수 t_H 는 초기에 V_{DC} 800V에서 t_{sc} 의 작은 비율로 선택되어야 한다. [4]를 참조하여 800V DC 링크전압 (V_{DC})에서 $t_{sc}(V_{GS})$ 함수 값은 기술된 내용을 사용하여 곡선 피팅에 의해 $t_{sc}=1861 * V_{GS}^{-2.1}$ 로 추정할 수 있다. 선택된 t_H 에서 $V_{GS} = V_{GS,H}$ 일 때 E_{SC} 한계에서 소비되는 단락 에너지의 백분율 x 는 그림 1(a)에서 읽을 수 있다. 이 백분율 x 는 그림 1(b)를 사용하여 TLTO 동안 V_{GS} 가 이미 $V_{GS,H}$ 에서 $V_{GS,L}$ 로 변경된 상태에서 나머지 E_{SC} 한계에 도달하기까지 남은 단락 시간을 추정하는 데 사용할 수 있다. 이 남은 시간은 $V_{GS}=V_{GS,L}$ 에서 장치 고장이 발생하기 전의 최대 한계인 t_L 이 된다. 이 원리를 사용하여 t_H 의 함수인 t_L 을 추정할 수 있다. TLTO를 사용한 유효 $t_{sc}(t_H+t_L)$ 도 그림 3와 같이 구할 수 있다. 게이트 전압이 감소할수록 단락 저항 시간이 증가하므로 짧은 t_H 는 긴 t_L 로 더 많이 상쇄될 수 있다. 이는 $t_H + t_L$ 의 TLTO가 고유 장치 단락 내성 시간 t_{sc} 보다 긴 총 단락 내성 시간으로 이어진다. TLTO를 사용한 t_{sc} 의 최대 확장은 t_H 를 최소화하고 이에 따라 t_L 을 최대화함으로써 달성된다. 디지털 게이트 드라이버 IC 1ED3890MC12M을 사용하여 구현된 TLTO에 의한 t_{sc} 확장을 통한 SiC MOSFET 단락 보호 성능은 SiC MOSFET이 파괴 한계에 도달하여 실패할 때까지 드라이버 IC DESAT 필터 시간 설정을 조정하여 다양한 t_H 로 실험적으로 검증되었다:

- DESAT 문턱 전압(DESAT threshold voltage) : 6.12 V
- 리딩에지 블랭크 (Leading edge blanking) : 200 ns
- 필터 시간 (Filter time) : 0.075 μ s ~ 2.175 μ s
- TLTO 모드에 의한 오류 턴 오프 설정(Fault turn-off set): $V_{GS,L}=10$ V 와 $t_L = 7.75$ μ s

SiC MOSFET 단락 오류는 다음과 같은 드라이버 IC 매개변수 설정을 사용하여 드라이버 IC의 디세추레이션 (Desaturation) 보호에 의해 감지된다. DESAT 필터 시간 설정, 총 단락 시간(= $t_H + t_L$) 및 다양한 테스트의 보호 결과는 표 2에 정리되어 있다. 측정 파형은 그림 4(a)-(d)에 나와 있다. V_{GS} 가 18V이고 V_{DC} 가 800V인 경우 SiC MOSFET 파괴 한계는 4.6 μ s이다. TLTO를 사용하면 그림 4(c)와 같이 SiC MOSFET이 10 μ s의 총 단락 저항 시간으로 안전하게 꺼진다. 그림 4(d)의 SiC MOSFET 고장은 이전 섹션에서 설명한 E_{SC} 소비 원리를 기반으로 예측할 수 있다. $V_{DS} = 800$ V에서 $t_{sc} = 4.6$ μ s, $V_{GS,H} = 18$ V, t_H 를 2.8 μ s로 선택한 경우 E_{SC} 소비 백분율 x 는 그림 1 (a)에서 69%로 읽을 수 있다. 1 (b)에서 $x = 69\%$ 에서 $V_{GS,L} = 10$ V인 경우 최대 잔여 단락 시간 t_L 은 5.7 μ s이다. 따라서, TLTO(= t_H+t_L)의 총 단락 시간은 8.5 μ s로 추정되며 이는 실험 결과와 잘 일치한다. 그림 4(d)의 디바이스 소손으로부터 $V_{GS,H}$ 가 적용된 단락 에너지 소비 백분율 x 는 DESAT 필터 시간에 따라 비선형적으로 증가하고, 따라서 SiC MOSFET 단락 기능을 확장하기 위해 최대 t_L 을 제한한다는 것을 추론할 수 있다. 이는 TLTO에 의한 t_{sc} 확장의 이점을 완전히 활용하기 위해 빠른 단락 DESAT 감지가 필요함을 보여준다.

2.3 두 레벨 턴오프 (TLTO)에 의한 단락 시간 견딜 증진

오류 경로에서 상대적으로 높은 임피던스를 갖는 부하 시 오류(fault under load, FUL or short-circuit type II) 시나리오를 에뮬레이션하기 위해 DC+ 와 하프 브리지의 위상 출력 단자 사이의 낮은 임피던스 단락 연결을 사용한다. 그림 2는 13 μ H 공심 인덕터로 교체되었다. $V_{DC} = 800$ V 및 $V_{GS,H} = 18$ V인 경우 디지털 드라이버 IC의 새로운 매개변수 설정은 다음과 같다:

- DESAT 보호(DESAT protection) 실행.
- DESAT 문턱전압(DESAT threshold voltage) : 6.12 V
- 리딩에지 블랭크 (Leading edge blanking) : 200 ns
- 필터 시간(Filter time) : 1.575 μ s
- TLTO 모드에서 오류 턴오프 셋팅: $V_{GS,L}=10$ V 와 $t_L = 5$ μ s

FUL에서 TLTO에 의한 t_{sc} 확장을 사용한 SiC MOSFET의 단락 보호 결과는 그림 5에 나와 있다. SiC MOSFET은 단락 시작부터 7 μ s 동안 안전하게 꺼졌다. FUL 중 에너지 소실 그림 5에 표시된 것처럼 430 mJ는 하드 스위칭 오류(hard switching fault, HSF)에서 900mJ의 절반보다 작다. 이는 오류 경로 임피던스에 의해 제한되는 초기 전류 상승 속도가 훨씬 느리기 때문이다. $V_{GS}=V_{GS,H}$ 일 때 t_H 동안 소비된 단락 에너지 E_{SC} 는 무시할 수 있으므로 $t_{sc}(=t_H+t_L)$ 는 실제로 $V_{GS}=V_{GS,L}$ 일 때 t_L 동안의 E_{SC} 한계에 의해서만 제한된다. 따라서 그림 6의 $V_{GS}=10$ V에서 t_{sc} 의 특성화 데이터는 TLTO를 사용하여 FUL에서 허용되는 최대 t_L 을 추정하는 데 사용할 수 있다. FUL 동안 t_{sc} 가 길고 E_{SC} 가 낮을 경우는 FUL에서 SiC MOSFET는 HSF 에서 SiC MOSFET 보다 덜 위험함을 보여준다. 여기의 결과는 TLTO에 의한 t_{sc} 확장 원리가 HSF와 FUL 모두에 적용 가능함을 보여준다.

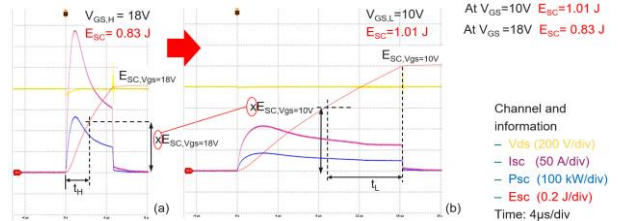


그림 1 다른 게이트 전압을 인가 시에 단락회로의 소모되는 단락 에너지 (E_{sc}): 처음 (a) $V_{GS,H}$ 그 후 (b) $V_{GS,L}$

Fig.1 Estimation of t_L from t_H , based on E_{SC} consumed at different stages of short circuit, with different gate voltages: first at (a) $V_{GS,H}$ and then (b) $V_{GS,L}$

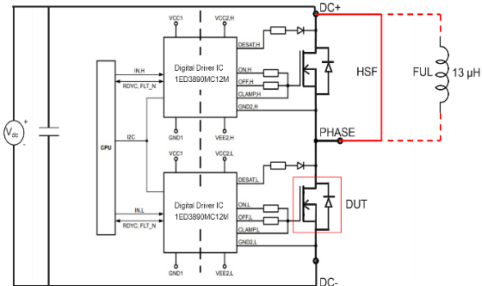


그림2 두 펄스 실험 셋업의 단순화된 회로 블럭도
Fig.2 Simplified diagram of the double-pulse test setup

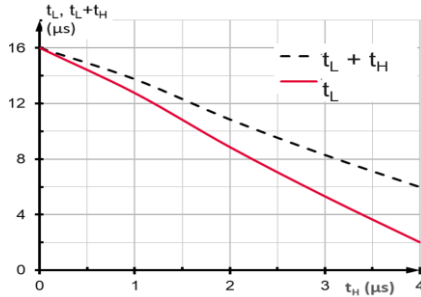


그림3 t_L 에 의한 그래프와 t_H 값 변경에 의한 t_{sc} 의 변경 그래프: 이때 DC 링크 전압 800V에서 $V_{GS,H}=18V$ 가 적용된 후 $V_{GS,L}=10V$ 적용됨.
Fig.3 Estimation of t_L and t_{sc} ($=t_L+t_H$) from t_H , based on E_{sc} consumed with gate voltages first at $V_{GS,H}=18V$ and then $V_{GS,L}=10V$, and $V_{DC}=800V$

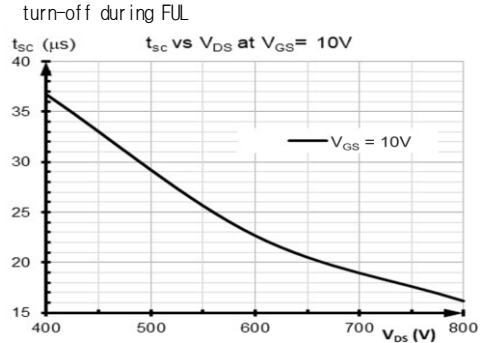


그림6 $V_{GS}=10V$ 에서 단락 견딤 시간에 대한 DC 링크 전압효과
Fig.6 Effect of V_{DC} on short-circuit withstanding time at $V_{GS}=10V$ by destructive testing

표 1 다른 DESAT 필터 시간 셋팅과 SiC MOSFET 단락 보호의 결과
Table 1 Results of SiC MOSFET desaturation short-circuit protection with TLTO at different DESAT filter time settings.

Test	DESAT Filter time	TLTO Duration(t_L)	t_H+t_L	Result
(a)	0.075 μ S	7.75 μ S	8.4 μ S	OK
(b)	1.075 μ S	7.75 μ S	9.5 μ S	OK
(c)	1.575 μ S	7.75 μ S	10 μ S	OK
(d)	2.075 μ S	7.75 μ S	9 μ S	Fail

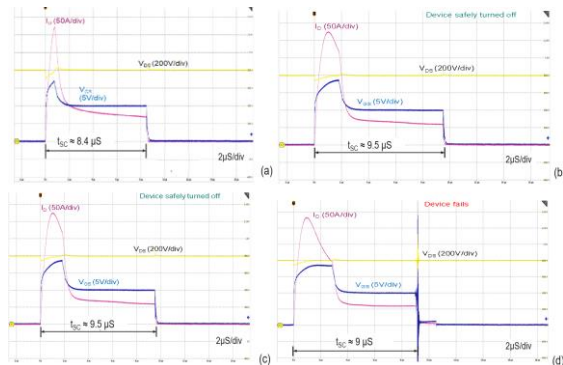


그림4 DC 전압 800 V, $V_{GS,H}=18V$ 와 $V_{GS,L}=10V$ 에서 TLTO에 의한 DESAT 보호 파형

Fig.4 DESAT protection waveforms of SiC MOSFET IMW120R030M1H with TLTO at V_{DC} of 800 V, $V_{GS,H}$ of 18 V and $V_{GS,L}$ of 10 V, at different DESAT filter time settings of (a) 0.075 μ s, (b) 1.075 μ s, (c) 1.575 μ s and (d) 2.175 μ s

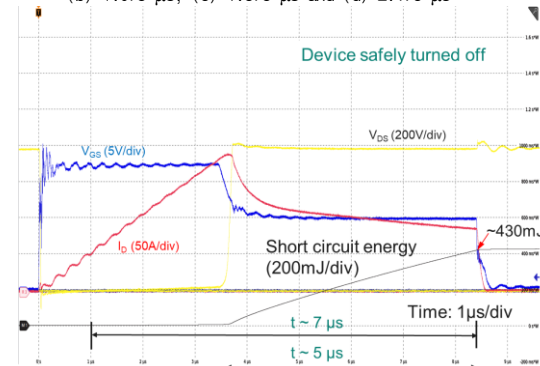


그림5 FUL동안 IMW120R030M1H의 DESAT 보호
Fig.5 DESAT protection of SiC MOSFET IMW120R030M1H with TLTO

3. 결론

SiC 전력 MOSFET은 현재 제한된 단락 견딤 기능을 가지고 낮은 $R_{DS(ON)}$ 에 최적화되어 있는 경우가 많다. 이러한 SiC MOSFET이 산업용 모터 드라이브 애플리케이션에서 강력한 오류 보호 기능을 제공하는 것은 어렵다. 이 문제를 해결하기 위해 본 논문에서는 두 레벨 턴 오프(TLTO)를 사용하여 SiC MOSFET의 단락 기능을 확장할 것을 제안한다. 파괴적인 두 펄스 실험은 다양한 V_{DC} 및 V_{GS} 에서 SiC MOSFET t_{sc} 및 E_{sc} 를 특성화하는 데 사용된다. 디지털 방식으로 구성 가능한 DESAT 및 TLTO 매개변수를 갖춘 게이트 드라이버 IC는 HSF에서 TLTO를 사용하여 t_{sc} 확장을 시연하는 데 사용된다. t_H 와 t_L 은 다양한 단락 단계에서 소비되는 E_{sc} 를 기반으로 선택된다. TLTO를 사용한 t_{sc} 확장의 성능은 SiC MOSFET이 결국 실패할 때까지 광범위한 필터 시간을 통해 실험적으로 검증되었으며, 총 단락 시간이 10 μ s인 SiC MOSFET의 안전한 꺼짐을 입증했다. V_{GS} 18V 및 V_{DC} 800V에서 파괴 한계는 4.6 μ s이다. TLTO에 의한 t_{sc} 확장의 이점을 최대한 활용하려면 빠른 단락 DESAT 감지가 필요하다. 이 개념은 FUL 하의 보호에 대해서도 시연된다. SiC MOSFET은 12.6 μ s 후에 안전하게 꺼지고 에너지 손실은 HSF의 절반 미만이다. 따라서 TLTO에 의한 t_{sc} 확장 원리는 HSF와 FUL 모두에 적용 가능하다

참고 문헌

- [1] X. She, A. Q. Huang, O. Lucia, and B. Ozpineci, "Review of silicon carbide power devices and their applications," IEEE Trans. Ind. Electron., vol. 64, no. 10, 2017.
- [2] J. Chen, Y. Li, M. Liang, R. Kennel, J. Liu and H. Guo, "A Novel Gate Driver for Suppressing Overcurrent and Overvoltage of SiC MOSFET," 10th International Conference on Power Electronics-ECCE Asia, May 27 - 30, 2019, Busan, Korea
- [3] M. Shim, K. Lee, J. Kim and K. Kim, "Multistep Soft Turn-Off Time Control to Suppress the Overvoltage of SiC MOSFETs in Short-Circuit State," IEEE Access, V10, pp: 46408 - 46417, 22 April 2022. DOI: 10.1109/ACCESS.2022.3169764.
- [4] 팔란디아판 다니쉬, 마국위, 김 사이먼, "실리콘 카바이드의 단락 견딤 시간 확장에 대한 연구 - 파트 1: 단락 특성 실험", KIPE 2024